

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

CLIPPEDIMAGE= JP02000077678A
PAT-NO: JP02000077678A
DOCUMENT-IDENTIFIER: JP 2000077678 A
TITLE: SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

PUBN-DATE: March 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
KIN, KYOKI	N/A
RI, SHOUKU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HYUNDAI ELECTRONICS IND CO LTD	N/A

APPL-NO: JP11240428
APPL-DATE: August 26, 1999

INT-CL_(IPC): H01L029/786; H01L027/12

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the threshold voltage of a semiconductor element and to improve the leak current characteristic and the degree of integration of the element, by forming first and second transistors on one active area in a laminated structure so that the transistors can share the use of one gate electrode.

SOLUTION: First and second transistors 100 and 200 are formed on one active area 11 in a laminated structure. The transistors 100 and 200 share the use of one gate electrode 14a. First metallic wiring 40 is formed in such a way that the gate electrode 14a shared by the transistors 100 and 200 is electrically connected to the drain area 28 of the second transistor 200. Second metallic wiring 42 is formed in such a way that the active area 11 is electrically connected to the source area 26 of the second transistor 200. Since the transistor 100 and 200 are formed on one active area 11 in such a

way in a
semiconductor element, the degree of integration of the element
is improved
remarkably. In addition, since the semiconductor element has a
low threshold
voltage and causes less leak currents, the element can be
suitably used for
portable electronic products.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-77678

(P2000-77678A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.

識別記号

F I

キーワード (参考)

H 0 1 L 29/786
27/12

H 0 1 L 29/78
27/12

6 1 3 Z
L

審査請求 未請求 請求項の数14 O L (全 7 頁)

(21) 出願番号 特願平11-240428

(22) 出願日 平成11年8月26日 (1999.8.26)

(31) 優先権主張番号 1998/P35024

(32) 優先日 平成10年8月27日 (1998.8.27)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 金 亨 基

大韓民国 仁川市 南洞区 間石 3洞
775-10バンダアパート Da-117

(72) 発明者 李 鍾 ▲ウク▼

大韓民国 京畿道 利川市 夫鉢邑 牙美里
現代電子リムデアパート 108-503

(74) 代理人 100093399

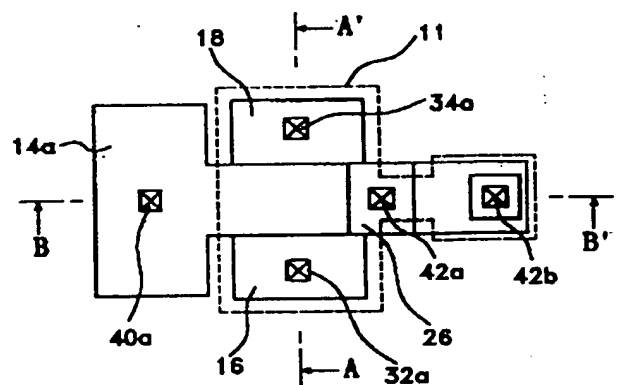
弁理士 瀬谷 徹 (外1名)

(54) 【発明の名称】 半導体素子とその製造方法

(57) 【要約】

【課題】 低電圧特性を有すると同時に、集積度の面でも優れる半導体素子を提供する。

【解決手段】 支持手段のベース層、埋め込み酸化膜及び活性領域を提供する半導体層の積層構造からなるSOI基板の活性領域の上に形成された第1及び第2トランジスタを含む半導体素子において、前記第1及び第2トランジスタは一つの活性領域の上に積層構造で形成され、一つのゲート電極を共有し、前記第2トランジスタのドレイン領域は前記ゲート電極と電気的に連結し、前記第2トランジスタのソース領域は前記活性領域と電気的に連結する構成とする。



【特許請求の範囲】

【請求項1】支持手段のベース層、埋め込み酸化膜及び活性領域を提供する半導体層の積層構造からなるSOI基板の活性領域上に形成された第1及び第2トランジスタを含む半導体素子において、

前記第1及び第2トランジスタは一つの活性領域の上に積層構造で形成され、一つのゲート電極を共有し、前記第2トランジスタのドレイン領域は前記ゲート電極と電気的に連結し、前記第2トランジスタのソース領域は前記活性領域と電気的に連結することを特徴とする半導体素子。

【請求項2】前記第1トランジスタは、ゲート電極と、前記ゲート電極の下に形成された第1ゲート酸化膜と、前記ゲート電極両側の半導体層部分内に形成されたソース及びドレイン領域とを含むことを特徴とする請求項1記載の半導体素子。

【請求項3】前記第2トランジスタは、前記ゲート電極と、前記ゲート電極の上に形成された第2ゲート酸化膜と、前記第2ゲート酸化膜の上に形成されたソース及びドレイン領域とを含むことを特徴とする請求項1記載の半導体素子。

【請求項4】前記第1トランジスタのソース及びドレイン領域のそれぞれにコンタクトされたソース及びドレイン電極をさらに含んでなることを特徴とする請求項1記載の半導体素子。

【請求項5】支持手段のベース層、埋め込み酸化膜及び活性領域を提供する半導体層の積層構造からなるSOI基板；前記半導体層の活性領域の上に形成され、第1ゲート酸化膜を持つゲート電極と、前記ゲート電極両側の前記半導体層内にそれぞれ形成されたソース及びドレイン領域とを含む第1トランジスタ；前記第1トランジスタとゲート電極を共有し、前記ゲート電極の上に形成された第2ゲート酸化膜と、前記第2ゲート酸化膜の上に形成されたソース及びドレイン領域とを含む第2トランジスタ；前記第1及び第2トランジスタを覆うように、前記SOI基板の上に形成された層間絶縁膜；前記第1トランジスタのソース及びドレイン領域とそれぞれコンタクトされるソース及びドレイン電極；前記ゲート電極と前記第2トランジスタのドレイン領域を電気的に連結させる第1金属配線；及び、前記第1トランジスタの活性領域と前記第2トランジスタのソース領域を電気的に連結させる第2金属配線を含むことを特徴とする半導体素子。

【請求項6】前記第1トランジスタは主トランジスタであり、前記第2トランジスタは補助トランジスタであることを特徴とする請求項5記載の半導体素子。

【請求項7】前記第1及び第2トランジスタは一つの活性領域を共有することを特徴とする請求項5記載の半導体素子。

【請求項8】支持手段のベース層、埋め込み酸化膜及び

活性領域を提供する半導体層の積層構造からなるSOI基板を提供する段階；前記半導体層の上に第1酸化膜、第1導電膜、第2酸化膜及び第2導電膜を順次形成する段階；前記各々の膜をパターンニングして、前記半導体層の活性領域の上に導電膜パターン、第2ゲート酸化膜、ゲート電極及び第1ゲート酸化膜を形成する段階；前記ゲート電極両側の前記半導体層部分内に第1のソース及びドレイン領域をそれぞれ形成してなる第1トランジスタと、前記導電膜パターンの両側端部に第2のソース及びドレイン領域をそれぞれ形成してなる第2トランジスタとを備える段階；前記結果物の上に層間絶縁膜を形成する段階；前記第2トランジスタのソース及びドレイン領域が露出するまで、前記層間絶縁膜をエッチバックする段階；前記層間絶縁膜の所定部分を選択的にエッチングして、第1トランジスタの第1のソース及びドレイン領域をそれぞれ露出させる第1及び第2コンタクト孔と、前記ゲート電極と活性領域をそれぞれ露出させる第3及び第4コンタクト孔とを形成する段階；前記層間絶縁膜の上に前記第1、第2、第3及び第4コンタクト孔を完全に埋め込まれる程度の厚さで金属膜を蒸着する段階；及び前記金属膜をパターンニングして、前記層間絶縁膜の上に前記第1及び第2コンタクト孔を介して前記第1トランジスタの第1のソース及びドレイン領域とそれぞれコンタクトされるソース及びドレイン電極、前記第3コンタクト孔を介して前記ゲート電極と前記第2トランジスタの第2のドレイン領域を電気的に連結させる第1金属配線、及び前記第4コンタクト孔を介して前記活性領域と前記第2トランジスタの第2のソース領域を電気的に連結させる第2金属配線を形成する段階を含むことを特徴とする半導体素子の製造方法。

【請求項9】前記第1導電膜はドーパしたポリシリコン膜であることを特徴とする請求項8記載の半導体素子の製造方法。

【請求項10】前記第2導電膜はドーパしないポリシリコン膜であることを特徴とする請求項8記載の半導体素子の製造方法。

【請求項11】前記ゲート電極は前記第1トランジスタのソース及びドレイン領域と直交することを特徴とする請求項8記載の半導体素子の製造方法。

【請求項12】前記層間絶縁膜は2層からなることを特徴とする請求項8記載の半導体素子の製造方法。

【請求項13】前記第1層間絶縁膜はTEOS酸化膜で形成され、第2層間絶縁膜はBPSG膜で形成されることを特徴とする請求項12記載の半導体素子の製造方法。

【請求項14】前記BPSG膜の形成後、600～800℃で前記BPSG膜をフローさせることを特徴とする請求項13記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子に関し、特に低電圧の特性を持つと同時に、集積度の面でも優れる半導体素子及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体素子の高集積化、高速化及び低電圧化の進行に伴い、バルクシリコンからなるシリコン基板の代わりに、SOI (Silicon-On-Insulator) 基板を用いた半導体素子が注目されている。前記SOI基板は、支持手段のベース層、前記ベース層の上に配置された埋め込み酸化膜、及び前記埋め込み酸化膜の上に配置されて活性領域を提供する半導体層の積層構造からなる。

【0003】かかるSOI基板に集積された半導体素子(以下、SOI素子という)は、シリコン基板に集積された通常の半導体素子に比べて、小さな接合容量(Junction Capacitance)による高速化、低いしきい電圧(Threshold Voltage)による低電圧化、及び完全な素子分離によるラッチアップ(latch-up)の除去などの利点を持つ。

【0004】一方、携帯用電子製品の需要の急増に伴い、素子の大きさと共に供給電圧の減少も要求されている。現在、低電圧素子を得るために広く利用される方法は、トランジスタのしきい電圧を下げるものである。前記しきい電圧を下げるための一例として、一つの素子に二つのトランジスタを備えた構造が挙げられる。ここで、二つのトランジスタは主トランジスタと前記主トランジスタに連結した補助トランジスタとからなる。

【0005】ところで、シリコン基板に前記構造で低電圧素子を実現する場合、しきい電圧の減少は得ることができるが、リーク電流の増加を招くという問題点がある。よって、シリコン基板に低電圧素子を具現するのには限界がある。

【0006】しかし、SOI基板に前記構造で低電圧素子を実現する場合、前述したように、SOI基板に集積されたSOI素子は、基本的に低いしきい電圧及び少ないリーク電流の特性を有するため、小型及び低電圧を要求する携帯用電子製品の製造に適している。

【0007】

【発明が解決しようとする課題】しかしながら、前述したように、二つのトランジスタを備えた半導体素子は、二つのトランジスタに対するそれぞれの活性領域を必要とすることから、集積度の面で問題がある。

【0008】よって、本発明の目的は、低電圧特性を有すると同時に、集積度の面でも優れる半導体素子及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するために、本発明は、支持手段のベース層、埋め込み酸化膜及び活性領域を提供する半導体層の積層構造からなるSOI基板の活性領域の上に形成された第1及び第2トランジスタを含む半導体素子において、前記第1及び第2ト

ランジスタは一つの活性領域の上に積層構造で形成され、一つのゲート電極を共有し、前記第2トランジスタのドレイン領域は前記ゲート電極と電気的に連結し、前記第2トランジスタのソース領域は前記活性領域と電気的に連結することを特徴とする。

【0010】また、前記他の目的を達成するために、本発明は、支持手段のベース層、埋め込み酸化膜及び活性領域を提供する半導体層の積層構造からなるSOI基板；前記半導体層の活性領域の上に形成され、第1ゲート酸化膜を持つゲート電極と、前記ゲート電極両側の前記半導体層内にそれぞれ形成されたソース及びドレイン領域とを含む第1トランジスタ；前記第1トランジスタとゲート電極を共有し、前記ゲート電極の上に形成された第2ゲート酸化膜と、前記第2ゲート酸化膜の上に形成されたソース及びドレイン領域とを含む第2トランジスタ；前記第1及び第2トランジスタを覆うように、前記SOI基板の上に形成された層間絶縁膜；前記第1トランジスタのソース及びドレイン領域とそれぞれコンタクトされるソース及びドレイン電極；前記ゲート電極と前記第2トランジスタのドレイン領域を電気的に連結させる第1金属配線；及び前記第1トランジスタの活性領域と前記第2トランジスタのソース領域を電気的に連結させる第2金属配線を含むことを特徴とする。

【0011】また、前記他の目的を達成するために、本発明は、支持手段のベース層、埋め込み酸化膜及び活性領域を提供する半導体層の積層構造からなるSOI基板を提供する段階；前記半導体層の上に第1酸化膜、第1導電膜、第2酸化膜及び第2導電膜を順次形成する段階；前記各々の膜をパターニングして、前記半導体層の活性領域の上に導電膜パターン、第2ゲート酸化膜、ゲート電極及び第1ゲート酸化膜を形成する段階；前記ゲート電極両側の前記半導体層部分内に第1のソース及びドレイン領域をそれぞれ形成してなる第1トランジスタと、前記導電膜パターンの両側端部に第2のソース及びドレイン領域をそれぞれ形成してなる第2トランジスタとを備える段階；前記結果物の上に層間絶縁膜を形成する段階；前記第2トランジスタのソース及びドレイン領域が露出するまで、前記層間絶縁膜をエッチバックする段階；前記層間絶縁膜の所定部分を選択的にエッチングして、第1トランジスタの第1のソース及びドレイン領域をそれぞれ露出させる第1及び第2コンタクト孔と、前記ゲート電極と活性領域をそれぞれ露出させる第3及び第4コンタクト孔とを形成する段階；前記層間絶縁膜の上に前記第1、第2、第3及び第4コンタクト孔を完全に埋め込まれる程度の厚さで金属膜を蒸着する段階；及び前記金属膜をパターニングして、前記層間絶縁膜の上に前記第1及び第2コンタクト孔を介して前記第1トランジスタの第1のソース及びドレイン領域とそれぞれコンタクトされるソース及びドレイン電極、前記第3コンタクト孔を介して前記ゲート電極と前記第2トランジ

スタの第2のドレイン領域を電気的に連結させる第1金属配線、及び前記第4コンタクト孔を介して前記活性領域と前記第2トランジスタの第2のソース領域を電気的に連結させる第2金属配線を形成する段階を含むことを特徴とする。

【0012】本発明の前記目的と新規な特長を、本明細書の記述及び添付図面から明らかにする。

【0013】

【発明の実施の形態】以下、添付図面に基づき、本発明の好適実施例を詳細に説明する。図1は本発明にかかる半導体素子のレイアウト図である。図において、11は活性領域、14aは第1及び第2トランジスタに共有されるゲート電極、16、18は第1トランジスタのソース及びドレイン領域、26は第2トランジスタのソース領域、32a、34aは第1トランジスタのソース及びドレイン領域のコンタクト、40aはゲート電極のコンタクト、42aは第2トランジスタのソース領域のコンタクト、42bは活性領域のコンタクトである。

【0014】同図に示すように、本発明の半導体素子は一つの活性領域11上に積層された第1及び第2トランジスタを含む。前記第1及び第2トランジスタは一つのゲート電極14aを共有する。そして、前記ゲート電極14aは第1トランジスタのソース及びドレイン領域16、18と直交するように配置される。

【0015】図2は本発明にかかる半導体素子の斜視図である。同図に示すように、本発明の半導体素子は、支持手段のベース層1、埋め込み酸化膜2及び活性領域を提供する半導体層3の積層構造からなるSOI基板10と、前記半導体層3の活性領域11上に形成された第1及び第2トランジスタ100、200とを含む。ここで、前記半導体層3の活性領域11はフィールド酸化膜(図示せず)により限定される。

【0016】前記第1及び第2トランジスタ100、200は一つの活性領域11上に積層構造で形成される。前記第1及び第2トランジスタ100、200は一つのゲート電極14aを共有する。前記第1トランジスタ100は、前記ゲート電極14aと、前記ゲート電極14aの下に形成された第1ゲート酸化膜12aと、前記ゲート電極12a両側の半導体層3部分内に形成された第1のソース及びドレイン領域16、18とを含んでなり、前記第2トランジスタ200は、前記ゲート電極14aと、前記ゲート電極14aの上に形成された第2ゲート酸化膜22aと、前記第2ゲート酸化膜22aの上に形成された第2のソース及びドレイン領域26、28とを含んでなる。

【0017】ソース及びドレイン電極17、19は第1トランジスタ100の第1のソース及びドレイン領域16、18とそれぞれコンタクトされる。第1金属配線40は第1及び第2トランジスタ100、200に共有されるゲート電極14aと前記第2トランジスタのドレイ

ン領域28が電気的に連結するように形成される。第2金属配線42は活性領域11と第2トランジスタ200のソース領域26の間が電気的に連結するように形成される。

【0018】図3は前述した本発明の半導体素子の回路図である。同図に示すように、本発明にかかる半導体素子は、主トランジスタの第1トランジスタ100と補助トランジスタとしての第2トランジスタ200とを含み、一つの活性領域を共有する。前記第1及び第2トランジスタ100、200のゲート電極G₁、G₂は互いに連結し、第2トランジスタ200のゲート電極G₂とドレイン領域D₂は互いに連結する。従って、前記第1及び第2トランジスタ100、200のゲート電極G₁、G₂及びドレイン電極D₂には同一電圧が印加される。また、前記第2トランジスタ200のソース電極S₂は第1トランジスタ100のボディとコンタクトされる。

【0019】かかる本発明の半導体素子において、主トランジスタの第1トランジスタ100のチャンネル領域でのボディ電荷(Body Charge)は補助トランジスタの第2トランジスタ200の正バイアスによって減少される。前記ボディ電荷の減少は活性領域の表面にチャンネル領域を発生させるためにゲート電極に加わる電圧が減少することを意味する。このため、主トランジスタの第1トランジスタ100のしきい電圧は減少することになる。

【0020】また、本発明の半導体素子において、第2トランジスタ200によって第1トランジスタ100のボディに印加された正バイアスは、前記第1トランジスタ100のゲート電極G₁に印加されるべき電界が一般のトランジスタ構造でより減少されるように誘導するため、前記第1トランジスタ100での移動度は増加することになる。

【0021】しかも、本発明の半導体素子において、第2トランジスタ200のターンオン(Turn-On)前には第1トランジスタ100のボディに正バイアスが印加されないため、一般のトランジスタ構造に比べて少ないリーク電流特性を持つことになる。

【0022】従って、本発明の半導体素子は、低いしきい電圧及び少ないリーク電流の特性を有し、特に、二つのトランジスタが一つの活性領域の上に形成されるため、集積度の面でも従来のものに比べて非常に優れる。

【0023】図4乃至図11は本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。尚、図4乃至図8及び図10は図1のA-A'線に沿って切断して示す工程断面図で、図9及び図11は図8及び図10の段階で図1のB-B'線に沿って切断して示す工程断面図である。

【0024】図4を参照すれば、支持手段のベース層1、埋め込み酸化膜2及び活性領域を提供する半導体層

10

20

30

40

50

3の積層構造からなるSOI基板10を備える。前記半導体層3内にその活性領域を限定するフィールド酸化膜(図示せず)が形成される。第1酸化膜12、第1導電膜14、第2酸化膜22及び第2導電膜24が前記SOI基板10の半導体層3の上に順次形成される。前記第1導電膜14は第1及び第2トランジスタに共有されるゲート電極となるべき層で、ドーパしたポリシリコン膜からなる。前記第2導電膜24は第2トランジスタのソース及びドレイン領域とチャンネル領域が形成されるべき層で、ドーパしないポリシリコン膜からなる。

【0025】図5を参照すれば、第2導電膜、第2酸化膜、第1導電膜及び第1酸化膜はパターニングされ、その結果、第2トランジスタのソース及びドレイン領域とチャンネル領域が形成されるべき導電膜パターン24aと、第2トランジスタの第2ゲート酸化膜22a、第1及び第2トランジスタに共有されるゲート電極14a及び第1トランジスタのゲート酸化膜12aとが得られる。次に、所定導電型の不純物、例えばN型の不純物が露出したゲート電極14a両側の半導体層部分と導電膜パターン24aの両側端部のそれぞれに高濃度でイオン注入され、続いて、N型の不純物がイオン注入された前記結果物をアニールすることにより、第1トランジスタの第1のソース及びドレイン領域16、18と第2トランジスタの第2のソース及びドレイン領域(図示せず)が形成される。

【0026】尚、導電膜パターン24aは第2トランジスタの第2のソース及びドレイン領域間に配置されるチャンネル領域を示す。従って、以下図面符号24aは第2トランジスタのチャンネル領域である。

【0027】図6を参照すれば、層間絶縁膜30は前記結果物の上に蒸着される。ここで、前記層間絶縁膜30はTEOS酸化膜30aとBPSG膜30bとからなる2層構造である。前記BPSG膜30bは、その蒸着後に、表面平坦化が得られるように600~800℃でフローされる。

【0028】図7を参照すれば、層間絶縁膜30は第2トランジスタの第2のソース及びドレイン領域(図示せず)を含むチャンネル領域24aが露出するまでエッチバックされる。

【0029】図8及び図9を参照すれば、層間絶縁膜30は、前記層間絶縁膜30の上に感光膜パターンを形成する工程と、前記感光膜パターンをエッチングバリアとするエッチング工程とによって、その所定部分が選択的にエッチングされる。結果、図8に示すように、前記層間絶縁膜30に第1トランジスタのソース及びドレイン領域16、18をそれぞれ露出させる第1及び第2コンタクト孔32、33が形成される。また、図9に示すように、前記層間絶縁膜30にゲート電極14aを露出させる第3コンタクト孔34と、半導体層3の活性領域11を露出させる第4コンタクト孔35とが形成される。

【0030】図9において、4は活性領域を限定するフィールド酸化膜、26、28は図5の段階で形成された第2トランジスタの第2のソース及びドレイン領域である。

【0031】図10及び図11を参照すれば、前記結果物の上に金属膜が前記第1乃至第4コンタクト孔32、33、34、35を完全に埋め込まれる程度の充分な厚さで蒸着される。次に、前記金属膜は所定形態でパターニングされる。これにより、図10に示すように、前記層間絶縁膜30の上に第1トランジスタのソース及びドレイン領域16、18とそれぞれコンタクトされるソース及びドレイン電極17、19が形成される。また、図11に示すように、前記層間絶縁膜30の上に第1及び第2トランジスタに共有されるゲート電極14aと第2トランジスタのドレイン領域28を電気的に連結させる第1金属配線40、並びに前記第1及び第2トランジスタが一つの活性領域を共有するように、前記半導体層3の活性領域11と第2トランジスタのソース領域26を電気的に連結する第2金属配線42が形成される。

【0032】

【発明の効果】以上のように、本発明の半導体素子は、二つのトランジスタが一つの活性領域上に形成されるため、集積度の面で非常に優れる。また、本発明の半導体素子は低いしきい電圧と少ないリーク電流を持つため、小型及び低電圧の特性が要求される携帯用電子製品の製造に非常に適している。

【0033】尚、本発明は本実施例に限られるものではなく、本発明の趣旨から逸脱しない範囲内で多様に変形・実施することが可能である。

【図面の簡単な説明】

【図1】本発明の実施例による半導体素子のレイアウト図である。

【図2】本発明の実施例による半導体素子の斜視図である。

【図3】本発明の実施例による半導体素子の回路図である。

【図4】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

【図5】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

【図6】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

【図7】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

【図8】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

【図9】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

【図10】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

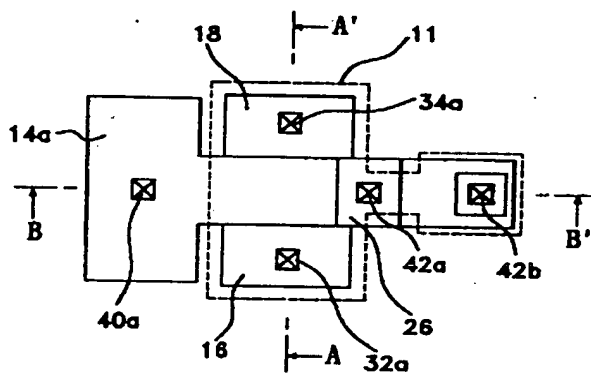
【図1】本発明の実施例による半導体素子の製造方法を説明するための各工程別断面図である。

【符号の説明】

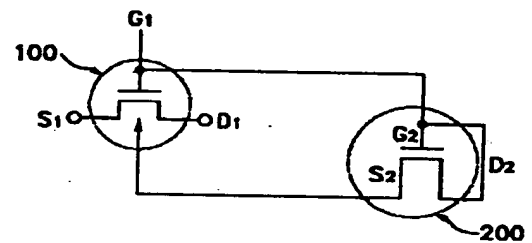
- 1 ベース層
- 2 埋め込み酸化膜
- 3 半導体層
- 10 SOI基板
- 11 活性領域
- 12a、22a ゲート酸化膜
- 14a ゲート電極

- 16、26 ソース領域
- 17 ソース電極
- 18、28 ドレイン領域
- 19 ドレイン電極
- 30 層間絶縁膜
- 32、33、34、35 コンタクト孔
- 40 第1金属配線
- 42 第2金属配線
- 100 第1トランジスタ
- 200 第2トランジスタ

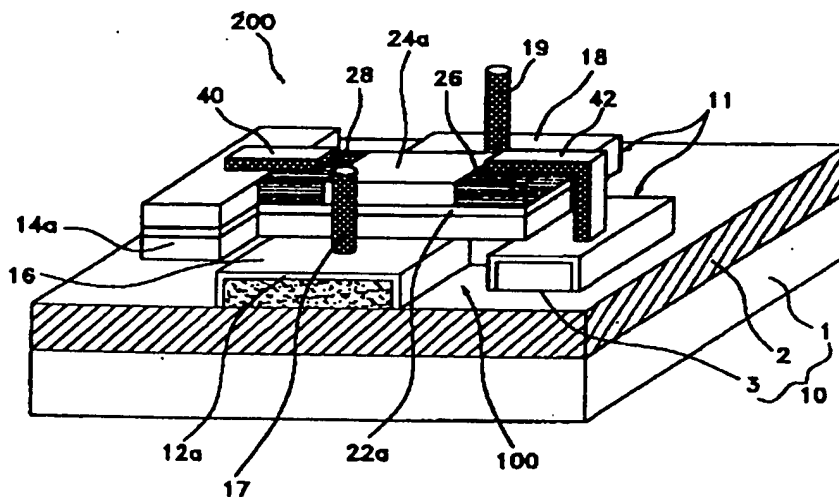
【図1】



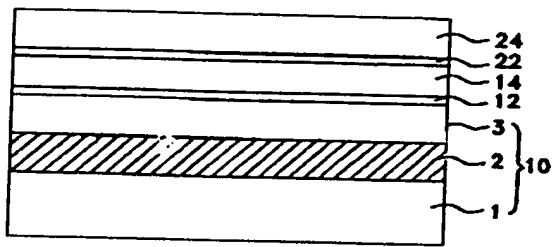
【図3】



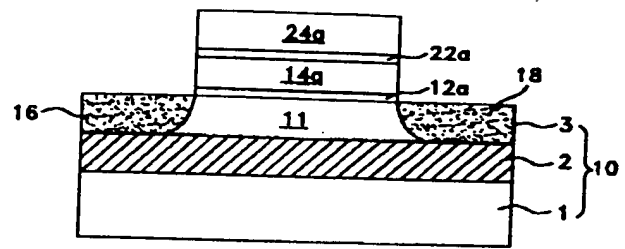
【図2】



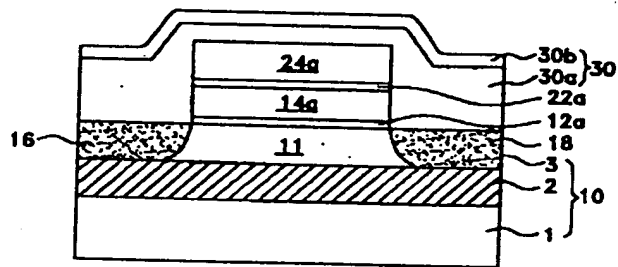
【図4】



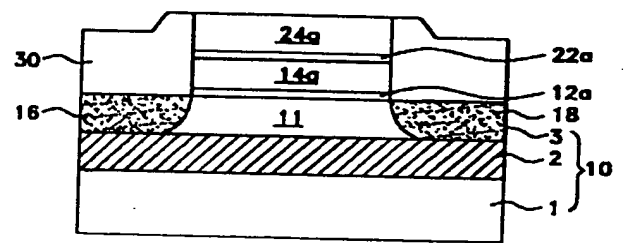
【図5】



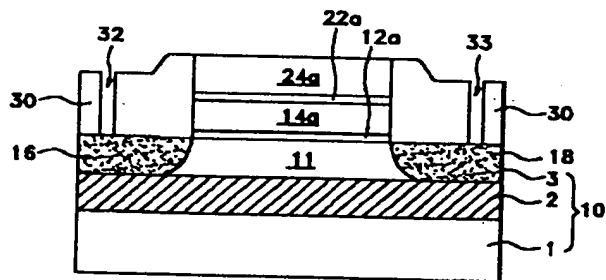
【図6】



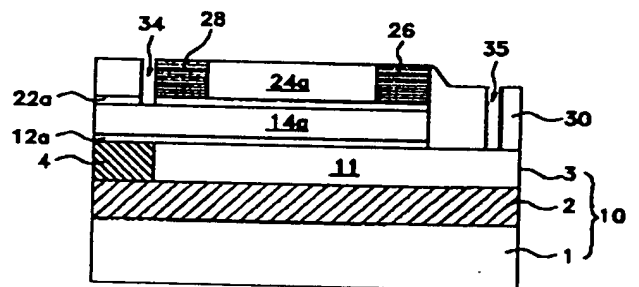
【図7】



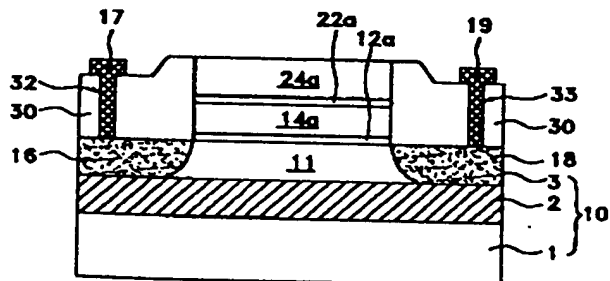
【図8】



【図9】



【図10】



【図11】

